日本国特許庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月31日

出 願 番 号

Application Number:

特願2002-317033

[ST.10/C]:

[JP2002-317033]

出 顧 人
Applicant(s):

富士通株式会社

2003年 5月16日

特許庁長官 Commissioner, Japan Patent Office



【書類名】 特許願

【整理番号】 0241342

【提出日】 平成14年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

H01L 27/146

【発明の名称】 画質を向上させた画像処理回路

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 船越 純

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 西尾 茂

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 小久保 朝生

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 國分 政利

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【先の出願に基づく優先権主張】

【出願番号】 特願2002-216848

【出願日】 平成14年 7月25日

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】

明細書

【発明の名称】画質を向上させた画像処理回路

【特許請求の範囲】

【請求項1】光電変換素子をそれぞれ有し行列方向に配置された画素の光電変換信号を各列毎に増幅して得られた画素信号に対して、所定のオフセットを加減算し、所定のゲインを乗算する色感度補正回路を有し、

前記所定のオフセットは、各色に応じて設定された第1のオフセットと複数の コラムに応じて設定された第2のオフセットとを含むことを特徴とする画像処理 回路。

【請求項2】請求項1において、

前記色感度補正回路は、

前記第1のオフセットを格納した第1のオフセットテーブルと、前記第2のオフセットを格納した第2のオフセットテーブルとを有し、当該第1及び第2のオフセットテーブルから出力された第1及び第2のオフセットを、前記画素信号に加減算することを特徴とする画像処理回路。

【請求項3】請求項1において、

前記色感度補正回路は、

前記第1のオフセットと第2のオフセットとを組み合わせたオフセットを有するオフセットテーブルを有し、当該オフセットテーブルから出力されたオフセットを、前記画素信号に加減算することを特徴とする画像処理回路。

【請求項4】請求項1において、

前記色感度補正回路は、少なくとも1フレームの画像の輝度に応じて、前記第2のオフセットを調整するオフセット調整部を有することを特徴とする画像処理 回路。

【請求項5】請求項1において、

前記色感度補正回路は、コラム毎の画素信号と、少なくとも1フレームの画像の輝度に対応する基準値とを比較して、前記第2のオフセットを動的に生成するオフセット生成部を有することを特徴とする画像処理回路。

【請求項6】光電変換素子をそれぞれ有し行列方向に配置された画素の光電

変換信号を各列毎に増幅して得られた画素信号に対して、複数のコラムに応じて 設定されたコラム別オフセットを加減算する補正回路とを有することを特徴とす る画像処理回路。

【請求項7】請求項9において、

前記補正回路は、更に、コラム別オフセットを格納するオフセットテーブルを 有し、当該オフセットテーブルから出力されるコラム別オフセットを前記画素信 号に加減算することを特徴とする画像処理回路。

【請求項8】請求項7において、

前記補正回路は、少なくとも1フレームの画像の輝度に応じて、前記コラム別 オフセットを調整するオフセット調整部を有することを特徴とするイメージセン サ。

【請求項9】請求項7において、

前記補正回路は、コラム毎の画素信号と、少なくとも1フレームの画像の輝度に対応する基準値とを比較して、前記コラム別オフセットを動的に生成して、前記オフセットテーブルに格納するオフセット生成部を有することを特徴とするイメージセンサ。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】

本発明は、半導体イメージセンサ、例えばCMOSイメージセンサやCCDイメージセンサなどの画像処理回路に関し、特に、コラム毎に発生する縞模様などのノイズを抑制して画質を向上させたイメージセンサの画像処理回路に関する。

[0002]

【従来の技術】

半導体イメージセンサのうち、例えばCMOSイメージセンサは、光電変換素子を有する画素を行列に配置した画素アレイを有し、その画素アレイ上にRGBなどのカラーフィルタが設けられ、各画素が、カラーフィルタに対応して、RGBそれぞれの階調値に対応した光電変換信号を出力する。画素アレイの行方向には、各画素を選択する行選択線と、各画素の電位をリセットするリセット線とが

設けられ、画素アレイの列方向には、各画素の光電変換信号をコラム出力回路に 伝播するコラム線が設けられている。そして、このコラム線には、光電変換信号 を増幅しそのリセットノイズを削除するなどの機能を有するコラム出力回路がそ れぞれ設けられ、コラム出力回路の出力信号が出力バスを介して、画像処理回路 に供給される。

[0003]

画像処理回路は、カラープロセッサとも称され、センサの感度補正、色補間処理、色調整処理、ガンマ変換処理、出力フォーマット変換処理などを行って、所望のフォーマットの画像信号を出力する。

[0004]

このようなCMOSイメージセンサは、例えば、以下の先行技術に開示されている。

[0005]

【特許文献1】

特開平2002-218324号公報

[0006]

【発明が解決しようとする課題】

イメージセンサは、コラム毎にコラム出力回路が設けられ、その出力信号である画素信号が共通の出力バスを介してカラープロセッサに供給される。各コラム出力回路と、そのコラム出力回路からカラープロセッサまでの画素信号を供給する回路は、並列構成であり、各コラム毎に特性バラツキがないように設計される

[0007]

しかしながら、イメージセンサから生成される画像信号によって画像表示また は画像出力を行うと、その出力画像に縦方向の縞模様が規則的にまたは周期的に 発生するという問題がある。特に、一様な色の画像を出力する場合に、このよう な縦方向の縞模様が目立つことがある。

[0008]

そこで、本発明の目的は、出力画像に縦方向の縞模様が発生することを抑制で

きるイメージセンサを提供することにある。

[0009]

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、光電変換素子を有し行列方向に配置された画素の光電変換信号を各列毎に増幅して出力される画素信号に対して、所定のオフセットを加減算し、所定のゲインを乗算する色感度補正回路を有し、前記所定のオフセットは、各色に応じて設定された第1のオフセットと複数のコラムに応じて設定された第2のオフセットとを含むことを特徴とするカラーイメージセンサ用の画像処理回路である。

[0010]

本発明の側面によれば、色感度補正回路のオフセットに、各色に応じて設定された第1のオフセットと複数のコラムに応じて設定された第2のオフセットとを含ませることにより、コラム毎のコラム出力回路や出力信号供給回路などに起因する周期的な縦方向の縞模様を抑制することができ、画質を向上させることができる。

[0011]

上記の発明の側面において、より好ましい実施例によれば、少なくとも1フレームの画像の輝度に応じて、前記第2のオフセットを調整するオフセット調整部を有する。このオフセット調整部は、例えば、より高い輝度の場合は第2のオフセットがより大きく調整され、より低い輝度の場合は第2のオフセットがより小さく調整される。これにより、高い輝度の画面で縦縞の発生がより効果的に抑制される。

[0012]

上記の発明の側面において、より好ましい実施例によれば、コラム毎の画素信号と、少なくとも1フレームの画像の輝度に対応する基準値とを比較して、前記第2のオフセットを動的に生成するオフセット生成部を有することを特徴とする。これにより、各イメージセンサ毎に最適化された第2のオフセットが生成され、より適切に出力画像内の縦縞の発生が抑制される。

[0013]

上記の目的を達成するために、本発明の第2の側面は、光電変換素子を有し行列方向に配置された画素の光電変換信号を各列毎に増幅して出力される画素信号に対して、複数のコラムに応じて設定されたオフセットを加減算する補正回路を有することを特徴とするイメージセンサ用の画像処理回路である。

[0014]

上記の第2の側面によれば、画素信号の供給経路に依存して周期的に発生する オフセットが、補正回路により修正されるので、出力画像に現れる縦縞が抑制さ れる。

[0015]

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。本発明は、イメージセンサに広く適用可能であるが、以後の実施の形態では、CMOSイメージセンサを例にして説明する。

[0016]

図1は、本実施の形態におけるCMOSイメージセンサの画素アレイの構成を示す図である。画素アレイ10は、行方向に配置された複数のリセット電源線VR、行選択線SLCT、リセット線RSTと、コラム方向に配置された複数のコラム線CLと、各行選択線、リセット線とコラム線との交差位置に配置された画素PX00~PX33とを有する。各画素には、画素PX03に示されるとおり、リセット用トランジスタM1と、光電変換素子であるフォトダイオードPDと、フォトダイオードのカソード電位を増幅するソースフォロワートランジスタM2と、行選択線SLCTに応答して、ソースフォロワートランジスタM2のソースとコラム線CLとを接続する選択トランジスタM3とからなる光電変換回路が設けられる。

[0017]

行方向に配置された行選択線SLCTやリセット線RSTは、垂直走査シフトレジスタ及びリセット制御回路12により駆動制御される。また、列方向に配置された各コラム線CLは、それぞれコラム出力回路14に接続される。コラム出力回

路14は、後述するとおり、各画素からコラム線CLを経由して供給される光電 変換信号を増幅し、リセット動作に伴うリセットノイズを削除して、画素信号を 出力する。

[0018]

コラム出力回路14から出力される画素信号は、水平走査シフトレジスタ16により選択されるコラム選択トランジスタCS0~CS3を介して、共通出力バスOBusに出力され、出力バスに接続された増幅器AMPにより増幅される。増幅器AMPの出力は、後述するカラープロセッサに供給される。

[0019]

図2は、コラム出力回路の具体例を示す図であり、図3は、コラム出力回路の動作を示す信号波形図である。図2には、1つの画素PXの回路と、それに図示しないコラム線を介して接続されるコラム出力回路14とが示される。コラム出力回路14は、第1のスイッチSW1と、第2のスイッチSW2と、第1のサンプル・ホールドキャパシタC1、第2のサンプリング・ホールドキャパシタC2と、基準電圧VREFと、第1及び第2のアンプAMP1,AMP2とを有する相関二重サンプリング回路である。また、画素PXとコラム出力回路14との間に、電流源11が設けられている。

[0020]

この画素PXとコラム出力回路14の動作について、図3を参照しながら説明する。説明を簡単にするために、行選択線SLCTはHレベルに維持されて、選択トランジスタM3は導通状態を維持するものとする。そして、その状態において、リセット期間T1では、リセット線RSTがHレベルになりリセットトランジスタM1を導通し、フォトダイオードPDのカソード電位VPDがリセットレベルVRにされる。リセット線RSTがLレベルになりリセットトランジスタM1が非導通になると、カソード電位VPDは、入力光の光量に応じてフォトダイオードPDが発生する電流により徐々にレベルを下げる。これが積分期間T2である。

[0021]

所定の積分期間T2を経過した後に、スイッチSW1, SW2が一時的に導通 状態にされて、カソード電位VPDに応じて生成されるソースフォロワートランジ スタM2からの駆動電流が、選択トランジスタM3と図示しないコラム線を介して、キャパシタC1を充電する。これにより、ノードVC1は、リセット時の電位Vnに積分期間で低下した電位Vs (負電位)を加えたレベルVs+Vnになる。また、ノードVC1の電位は、第1のアンプAMP1を介して第2のキャパシタC2にも伝えられる。この時、第2のスイッチSW2も導通状態であり、第1のアンプAMP1の増幅率が1とすると、第2のキャパシタC2も第1のキャパシタと同じ電圧状態に充電される。上記のリセット時の電位Vnには、リセット動作に伴うリセットノイズが含まれる。

[0022]

積分期間T2の終了後に、リセット線RSTに再度リセットパルスが供給されて、リセットトランジスタM1が導通する。それによりカソード電位VPDは再度リセットレベルに充電される。その後、リセットノイズ読み出し期間T4経過後に、第1のスイッチSW1が一時的に導通状態にされ、第2のスイッチSW2は非導通状態に維持される。このリセットノイズ読み出し期間T4においても、積分期間T2と同様に、カソード電位VPDは受光光量に応じたフォトダイオードの電流によりレベルが低下するが、このリセットノイズ読み出し期間T4は、積分期間T2に比較すると短く設定される。但し、積分期間T2は、入力光の輝度レベルに応じて最適の期間に制御されるので、必ずしも両期間T2,T4を単純には比較できない。

[0023]

このリセットノイズ読み出し期間T4経過後に、スイッチSW1が導通状態になり、第1のキャパシタC1のノードVC1は、リセット後のレベルに応じた電位Vnになる。この電位Vnは、第1のアンプAMP1を介して第2のキャパシタC2の第1のアンプ側の端子にも伝えられる。この時、第2のスイッチSW2が非導通状態であるので、第2のキャパシタC2のノードVC2はオープン状態になっている。従って、第2のキャパシタC2のノードVC2には、積分期間T2終了時のノードVC1の電位Vs+Vnと、リセットノイズ読み出し期間T4終了時のノードVC1の電位Vnとの差電圧(Vs+Vn)-Vn=Vs分の変動が生じて、それに最初のサンプリング時の基準電圧VREFを加えた電圧VREF+Vsが

ノードVC2に生成される。この電圧VREF+Vsからは、リセットノイズを含む電圧Vnが削除されている。

[0024]

図2の第3のスイッチSW3は、図1におけるコラムゲートCSO~CS3に対応し、上記のノードVC2の電圧(VREF+Vs)が、第2のアンプAMP2により増幅され、水平走査シフトレジスタ16により導通制御されたコラムゲートSW3を介して、出力バスOBusに出力される。そして、出力バスOBusに設けられた共通増幅器AMPにより増幅され、後段のA/D変換回路に画素信号として供給される。

[0025]

図4は、イメージセンサのレイアウト例を示す図である。画素アレイは、図1と同様に、光電変換素子を有する画素PX00~PX37が行列方向に配置され、行方向に、リセット電源線VRと、行選択線SLCT0-3と、リセット線RST0-3とが設けられ、垂直走査シフトレジスタ兼リセット制御回路12によりそれぞれ制御される。また、列方向には、コラム線CL0-7が設けられ、それぞれのコラム線CL0-7にコラム出力回路(相関二重サンプリング回路)CDS0-7が設けられている。このコラム出力回路は、コラム線ピッチに整合して配置することが困難であるので、4本のコラム線のピッチに一致する幅を有し、4つのコラム出力回路CDS0-3、CDS4-7が、コラム方向に配列されている。

[0026]

このようなコラム出力回路の配列に伴って、4本の出力バスOBUSO-3がそれぞれバススイッチBSWを介して、共通のアンプAMPに接続される。従って、コラム線CL0に接続される画素PX00~PX30の光電変換信号は、コラム出力回路CDSOで検出され、その画素信号は、出力バスOBUSOとバススイッチBSWを介してアンプAMPに供給される。同様に、コラム線CL4に接続される画素PX04~PX34の光電変換信号も、コラム出力回路CDS4、出力バスOBUSO、バススイッチBSWを介してアンプAMPに供給される。これが、第1の画素信号出力経路である。

[0027]

更に、コラムCL1やCL5に接続される画素の光電変換信号は、コラム出力回路CD

S1、CDS5、出力バスOBUS1を介して、アンプAMPに供給される。これが第2の画素信号出力経路である。同様に、コラムCL2,CL6に接続される画素の信号は、第3の画素信号出力経路を介してアンプAMPに供給され、コラムCL3,CL7に接続される画素の信号は、第4の画素信号出力経路を介してアンプAMPに供給される。

[0028]

図4のようなレイアウト例の場合は、4つの画素信号出力経路の回路特性や配線特性に応じて、一様な色の画像であっても、コラム毎に画素信号に所定のオフセットが発生して、周期的な縦縞またはコラム方向の縞模様が発生してしまう。このような縦縞の発生を抑制するためには、レイアウトの規則性を失わせるような修正が必要であり、設計工数の増大を招いている。

[0029]

図5は、本実施の形態におけるイメージセンサのカラープロセッサ(画像処理回路)の構成を示す図である。画素アレイ10で検出された光電変換信号が、出力バスOBUS、アンプAMP、A/D変換回路ADCを介して、画素信号Pinとしてカラープロセッサ20に供給される。画素アレイ10にRGBのカラーフィルタが設けられている場合は、画素信号Pinは、RGB各色の信号になる。

[0030]

カラープロセッサ20は、画素アレイ10の駆動に利用された水平同期信号Hs yncと、垂直同期信号Vsyncと画素クロックPCLKとから、各種のタイミング信号を生成するタイミング発生回路22を有する。更に、カラープロセッサ20は、画素信号Pinの色の感度に依存する特性を補正する感度補正回路24と、各画素で検出される色以外の色の階調値を周囲の画素の画素信号から補間演算によって求める色補間処理回路28と、色合い(青っぽい青など)を調整する色調整回路32と、LCDやCRTなどの画像を出力するデバイス特性(ガンマ特性)に合わせるためのガンマ変換回路34とを有する。そして、最後に表示装置に適合した画像信号のフォーマットに変換するフォーマット変換回路38により、画素信号が、NTSCやYUV、YCbCrなどのデジタルコンポーネントのフォーマットに変換されて出力される。

[0031]

感度補正回路24は、色の感度に依存する特性を補正するために、各色に対応 して設けられた感度補正テーブル26を参照して、補正演算を行う。

[0032]

図6はカラーフィルタの一例を示す図であり、図7、図8は、感度補正を説明するための図である。図6に示したカラーフィルタは、ベイヤー配列と称されるものであり、人間の目に最も敏感な緑色(G)の検出信号をより多く出力することが人間に対して高感度を与えるとの理由から、奇数行には赤色(R)と緑色(G)が交互に配置され、偶数行には青色(B)と緑色((G)とが交互に配置される。つまり、このカラーフィルタは、緑色(G)が市松模様に配置され、赤色(R)と青色(B)とが別の市松模様に配置される。このカラーフィルタが設けられることにより、画素アレイからは、各色の階調値(輝度)に対応した画素信号が出力される。

[0033]

図7は、波長と相対感度との関係を示す図である。RGBは波長が大、中、小の順に対応し、それぞれの感度は、画素のセンサ感度とカラーフィルタ特性によって決まるものであり、デバイス依存性を持つ。図示されるとおり、緑色(G)が最も感度が高く、赤色(R)、青色(B)は順に感度が低くなる。

[0034].

図8(A)は、画素アレイへの入力光の光量と、それに対する光電変換されコラム出力回路で増幅されA/D変換された出力値である画素信号Pinとの関係を示している。図7で示したとおり、RGBによって相対感度が異なることに伴って、入力光に対する出力値の関係は、GRBの順にゲインが異なり、更に、RGBそれぞれが異なるオフセット値を有する。従って、このようなオフセットとゲインが異なる画素信号Pinに対して、感度補正を行って、入力光と出力値(画素信号Pin)とをRGBで同じ特性にするためには、図8(B)に示されるような所定のオフセットKoffとゲインKgainを利用して、画素信号Pinを補正すれば良い

[0035]

即ち、図8(A)に示す特性のずれを有するRGBの画素信号Pinに対して、

それぞれの色に対して設定された色別のオフセットKoffを減算または加算し、設定された色別のゲインKgainを乗算または除算(以下簡単に乗算で説明する)することで、図8(C)に示すような特性がそろった画素信号Pを得ることができる。即ち、

 $P = (Pin - Koff) \times Kgain$

の演算が、感度補正回路24により行われる。上記オフセットKoffとゲインKga inとが、各色毎に設定され、感度補正テーブル26に格納されている。図6のベイヤー配列のカラーフィルタの場合は、奇数行の赤色(R)と緑色(Gr)、及び偶数行の青色(B)と緑色(Gb)とが、異なる感度を有するので、それに対応して、4種類の補正用のオフセットKoffとゲインKgainとがあらかじめ感度補正テーブル26に格納されている。

[0036]

カラーフィルタがRGBの補色の色空間であるCMYKで構成される場合は、 CMYKそれぞれで感度が異なるので、それにともなって、感度補正テーブル2 6には、CMYKそれぞれのオフセットとゲインとが設定される。

[0037]

図5に戻り、色補間処理回路28は、各画素毎にRGBの画素信号を生成する。図6に示したカラーフィルタの場合は、赤色(R)に対応する画素には、緑色(G)や青色(B)の画素信号を得ることができない。そこで、色補間処理回路28にて、周囲の画素の信号を補間演算することで、赤色(R)のカラーフィルタの画素にも、緑色(G)や青色(B)の画素信号を生成することができる。そのために、補間用メモリ30には、周囲の画素の画素信号が一時的に記録されている。そして、色補間処理回路28は、この補間用メモリ30内に一時的に記録されている周囲の画素の画素信号に対して補間演算を行う。

[0038]

ガンマテーブル36には、CRTやLCDなどの画像出力デバイスのガンマ特性に変換するための変換テーブルが格納されている。また、フォーマット変換テーブル40は、NTSCやYUVなどの表示信号フォーマットに変換するためのテーブルである。

[0039]

さて、図4において説明したように、レイアウト上の制約などから、画素部から出力される画像信号は、コラム毎に所定の特性が重畳されていて、一様な色の画像を撮像した場合に、周期的に縦縞が発生することが確認されている。そこで、本実施の形態では、カラープロセッサ20内の感度補正回路24にて、この周期的な縦縞を抑制するための演算を行う。具体的には、感度補正テーブル26に、感度補正用のオフセットに加えて、周期的な縦縞抑制用のオフセットを設けて、レイアウト上の制約などに起因する縦縞の発生を抑制する。

[0040]

図9は、本実施の形態における感度補正回路を示す図である。図8にて説明したとおり、感度補正回路24は、オフセット補正回路242とゲイン補正回路243とが設けられ、オフセット補正回路242にて、画素信号Pinから各色R、Gr、B、Gb毎に異なるオフセットを加算または減算し、ゲイン補正回路243にて、各色毎に異なるゲインを乗算する。それに伴って、感度補正テーブル26には、各色R、Gr、Gb、B毎に異なるオフセットRO、GrO、GbO、BOを有する第1のオフセットテーブル261と、ゲインRG、GrG、GbG、BGを有するゲインテーブル263とが設けられる。

[0041]

更に、周期的に現れる縦縞を抑制するために、感度補正テーブル26は、周期性を有する4つのコラム毎に異なるオフセットC1,C2,C3,C4を有する第2のオフセットテーブル262を有する。これらのオフセットテーブル261,262及びゲインテーブル263内の設定値は、タイミング発生回路22が生成するタイミング信号に応じてセレクタ245,246,247でそれぞれ選択され、補正回路242,243に出力される。そして、第1のオフセットテーブル261のオフセット値と、第2のオフセットテーブル262のオフセット値とは、加算回路244にて加算演算(又は減算演算)され、オフセット補正回路242に供給される。

[0042]

このように、本実施の形態では、感度補正回路24にオフセット補正回路24

2が設けられているので、その演算機能を利用して、周期的に現れる縦縞模様を抑制する。そのために、コラム毎の特性に違いに伴うオフセット値C1,C2,C3,C4 をあらかじめ設定して、感度補正テーブル26 に格納しておく。図4の回路レイアウト例では、4コラム毎に縦縞模様が発生するので、それを抑制するオフセット値も4種類C1~C4である。

[0043]

尚、図9には、カラーフィルタがCMYKの場合の感度補正テーブル266, 267,268が示されている。その場合は、感度補正用のオフセットテーブル 266と、縦縞補正用のオフセットテーブル267と、感度補正用のゲインテー ブル268が、テーブル261,262,263に代わって格納される。

[0044]

図10は、感度補正回路の演算例を示す図である。(A)はベイヤー配列されたRGBカラーフィルタの場合に、一様な色の画像を撮像したときの4行4列の画素から出力される画素信号Pinの一例である。つまり、1行目の画素信号Pinは、R11、G12、T13、G14の画素信号が出力され、2行目の画素信号Pinは、G21、B22、G23、B24の画素信号が出力される。3行目、4行目も同様である。この例では、緑色(G)の画素信号に注目すると、1列目の「60」に比較して、2列目は+1、3列目は+2、4列目は-1になっている。

[0045]

図10(B)に、オフセット値とゲインの設定値が示されている。コラム毎のオフセット値は、上記の傾向を考慮して、C1=0, C2=1, C3=2, C4=-1と設定されている。また、色別のオフセットRO, GO, BOと、色別のゲインRG, GG, BGも図示の通り設定されている。尚、この例では、奇数行の緑色(Gr)と偶数行の緑色(Gb)とは区別されていない。

[0046]

そこで、図(C)には、1行目と2行目のコラム1~4について、感度補正回路の演算式が示されている。コラム毎のオフセットと色別のオフセットを加算したものを、画素信号Pinから減算し、更に色別のゲインを乗算することで、各画素の補正値R11m~G14m、G21m~B24mが求められる。このようにして求められた補

正後の画素信号Pは、図10(D)に示される通り、全て同じ「60」になっている。

[0047]

図11は、図9の感度補正回路の変形例を示す図である。図9の例では、色別のオフセットテーブル261とコラム別のオフセットテーブル262とを別々に設けて、それらを加算回路244で加算している。それに対して、図11の例では、色別のオフセットとコラム別のオフセットとを加算したオフセットC1RO、C2GrO、C3RO、C4GrO、C1GbO、C2BO、C3Gb、C4BOをあらかじめ演算して求めておき、合体したオフセットテーブル261に格納している。従って、オフセット用のセレクタ245が1つ設けられるだけであり、加算回路244は必要ない。ゲインテーブル263は図9の例と同じである。

[0048]

図12は、第2の実施の形態における感度補正回路を示す図である。この例では、撮像される画像の明るさを示すアンプAPMのゲイン制御信号Gaに従って、コラム別のオフセットC1~C4を調整するオフセット調整回路248が設けられている。それ以外の構成は、図9と同じである。イメージセンサは、画像の明るさに応じて、画素アレイでの積分期間の長さを自動制御する。明るい画像の場合は、積分時間を短く制御して、光電変換信号が飽和しないようにし、また、暗い画像の場合は、積分時間を長く制御して、光電変換信号が十分なレベルになるようにする。従って、画像の明るさを検出して何らかの制御信号を生成している。この制御信号の1つが、アンプAMPのゲイン制御信号Gaである。または、A/D変換回路ADCのダイナミックレンジ制御信号Daである。明るい画像の場合は、アンプAMPのゲインは低く制御され、またはA/D変換回路のダイナミックレンジは広く制御される。暗い画像の場合は、アンプAMPのゲインは高く制御され、またはA/D変換回路のダイナミックレンジは狭く制御される。

[0049]

このように画像の明るさに依存する制御信号、例えばゲイン制御信号Gaをオフセット調整回路248に与えることで、コラム別のオフセット値を調整する。つまり、明るい画像の時は、コラム別のオフセットがより強調されやすいので、オ

フセット値もより大きく調整される。また、暗い画像の時は、コラム別のオフセットはあまり強調されないので、オフセット値はより小さく調整される。こうすることにより、画像の輝度に応じた最適なコラム別オフセットをオフセット補正回路242に与えることができる。オフセット調整回路248は、A/D変換回路のダイナミックレンジ制御信号Daに基づいてコラム別オフセットを調整してもよい。

[0050]

図13は、第3の実施の形態例における感度補正回路を示す図である。この例は、図9と同じ感度補正回路24及び感度補正テーブル26に加えて、オフセット設定回路25を有する。このオフセット設定回路25は、例えばイメージセンサの電源立ち上げ時において、1フレームの画像についてその平均的輝度レベルとコラム別の画像信号Pinのレベルとから、最適なオフセットを生成して、コラム別オフセットテーブル262に設定する。具体的には、生成されたコラム別オフセットC1~C4がオフセットテーブル262に格納される。

[0051]

1フレームの画像の平均的輝度レベルは、例えばアンプAMPのゲインコントロール信号Gaをもとに、基準値生成部252が生成する。また、コラム別の画像信号のレベルは、画像信号Pinのコラム別のレベルを累積するコラム累積部251が生成する。そして、基準値とコラム毎の累積値との差が、オフセット生成部253により求められ、最適なコラム別オフセットC1~C4が生成される。

[0052]

このように、オフセット設定回路25を設けることにより、工場出荷時においてあらかじめコラム別オフセットをテーブル262に設定する必要がない。そして、デバイス毎のバラツキ、製造ロット毎のバラツキ、更にデバイスの経年変化によるバラツキを考慮して、コラム別のオフセットC1~C2が生成され、テーブルに設定される。従って、設定フリーであり且つ最適なコラム別オフセットが設定されて画質が向上する。

[0053]

図14は、第4の実施の形態における補正回路を示す図である。本例では、色

感度補正回路24とは別に、コラム別のオフセットを補正するためのコラムオフセット補正回路27を設けた例である。この例では、コラムオフセット補正回路27と、コラム別オフセットテーブル274とが設けられ、セレクタ272により画素に対応するコラム別オフセットC1~C4が選択され、オフセット補正回路271で画素信号Pinに加減算される。その後は、前述の感度補正回路24により、感度補正が行われる。

[0054]

以上、実施の形態例をまとめると以下の付記の通りである。

[0055]

(付記1)光電変換素子をそれぞれ有し行列方向に配置された画素の光電変換信号を各列毎に増幅して得られた画素信号に対して、所定のオフセットを加減算し、所定のゲインを乗算する色感度補正回路を有し、

前記所定のオフセットは、各色に応じて設定された第1のオフセットと複数の コラムに応じて設定された第2のオフセットとを含むことを特徴とする画像処理 回路。

[0056]

(付記2)付記1において、

前記色感度補正回路は、

前記第1のオフセットを格納した第1のオフセットテーブルと、前記第2のオフセットを格納した第2のオフセットテーブルとを有し、当該第1及び第2のオフセットテーブルから出力された第1及び第2のオフセットを、前記画素信号に加減算することを特徴とする画像処理回路。

[0057]

(付記3)付記1において、

前記色感度補正回路は、

前記第1のオフセットと第2のオフセットとを組み合わせたオフセットを有するオフセットテーブルを有し、当該オフセットテーブルから出力されたオフセットを、前記画素信号に加減算することを特徴とする画像処理回路。

[0058]

(付記4)付記1において、

前記色感度補正回路は、少なくとも1フレームの画像の輝度に応じて、前記第2のオフセットを調整するオフセット調整部を有することを特徴とする画像処理回路。

[0059]

(付記5)付記4において、

前記オフセット調整部は、画像がより高い輝度の場合は第2のオフセットをより大きく調整し、画像がより低い輝度の場合は第2のオフセットをより小さく調整することを特徴とする画像処理回路。

[0060]

(付記6)付記4において、

前記オフセット調整部は、少なくとも1フレームの画像に対応する前記画像信号を増幅するアンプのゲインに基づいて、前記アンプのゲインがより小さい場合は前記第2のオフセットをより大きく調整し、前記アンプのゲインがより大きい場合は前記第2のオフセットをより小さく調整することを特徴とする画像処理回路。

[0061]

(付記7)付記1において、

前記色感度補正回路は、コラム毎の画素信号と、少なくとも1フレームの画像の輝度に対応する基準値とを比較して、前記第2のオフセットを動的に生成するオフセット生成部を有することを特徴とする画像処理回路。

[0062]

(付記8)付記7において、

前記基準値は、少なくとも1フレームの画像に対応する前記画像信号を増幅するアンプのゲインに基づいて決められることを特徴とする画像処理回路。

[0063]

(付記9)光電変換素子をそれぞれ有し行列方向に配置された画素の光電変換信号を各列毎に増幅して得られた画素信号に対して、複数のコラムに応じて設定されたコラム別オフセットを加減算する補正回路とを有することを特徴とする画像

処理回路。

[0064]

(付記10)付記9において、

前記補正回路は、更に、前記画素信号に、色別に設定された色別オフセットを 加減算し、色別に設定されたゲインを乗算することを特徴とする画像処理回路。

[0065]

(付記11)付記10において、

前記補正回路は、更に、コラム別オフセットを格納するオフセットテーブルを 有し、当該オフセットテーブルから出力されるコラム別オフセットを前記画素信 号に加減算することを特徴とする画像処理回路。

[0066]

(付記12)付記11において、

前記補正回路は、少なくとも1フレームの画像の輝度に応じて、前記コラム別 オフセットを調整するオフセット調整部を有することを特徴とするイメージセン サ。

[0067]

(付記13)付記11において、

前記補正回路は、コラム毎の画素信号と、少なくとも1フレームの画像の輝度 に対応する基準値とを比較して、前記コラム別オフセットを動的に生成して、前 記オフセットテーブルに格納するオフセット生成部を有することを特徴とするイ メージセンサ。

[0068]

(付記14)付記12において、

前記オフセット調整部は、少なくとも1フレームの画像に対応する前記画像信号を増幅するアンプのゲインに基づいて、前記コラム別オフセットを調整することを特徴とする画像処理回路。

[0069]

(付記15)付記13において、

前記基準値は、少なくとも1フレームの画像に対応する前記画像信号を増幅す

るアンプのゲインに基づいて決められることを特徴とする画像処理回路。

[0070]

(付記16)付記1~15のいずれかに記載の画像処理回路と、

前記画素を行列方向に配置した画素アレイと、

各列毎に設けられ、列方向に配置された前記画素の光電変換信号を増幅して、 前記画像信号を出力するコラム出力回路と

を有することを特徴とするカラーイメージセンサ。

[0071]

【発明の効果】

以上、本発明によれば、イメージセンサの出力画像に周期的に現れる縦縞を抑制して、画質を向上させることができる。

【図面の簡単な説明】

【図1】

本実施の形態におけるCMOSイメージセンサの画素アレイの構成を示す図である。

【図2】

コラム出力回路の具体例を示す図である。

【図3】

コラム出力回路の動作を示す信号波形図である。

【図4】

イメージセンサのレイアウト例を示す図である。

【図5】

本実施の形態におけるイメージセンサのカラープロセッサの構成を示す図である。

【図6】

カラーフィルタの一例を示す図である。

【図7】

感度補正を説明するための図である。

【図8】

感度補正を説明するための図である。

【図9】

本実施の形態における感度補正回路を示す図である。

【図10】

感度補正回路の演算例を示す図である。

【図11】

図9の感度補正回路の変形例を示す図である。

【図12】

第2の実施の形態における感度補正回路を示す図である。

【図13】

第3の実施の形態における感度補正回路を示す図である。

【図14】

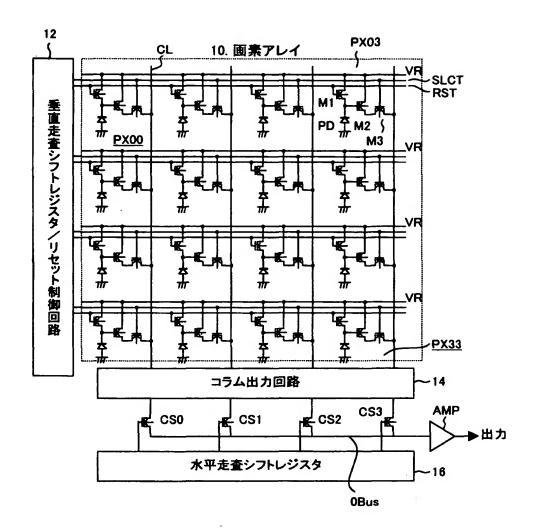
第4の実施の形態における補正回路を示す図である。

【符号の説明】

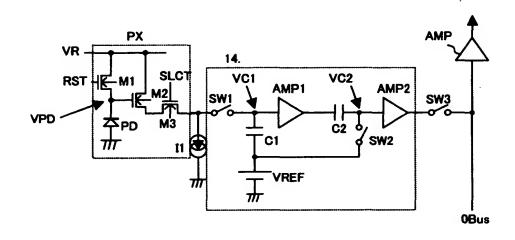
10 画素アレイ、14 コラム出力回路、24 感度補正回路、26 感度補正テーブル、27 補正回路、274 コラム別オフセットテーブル PX 画素

【書類名】 図面

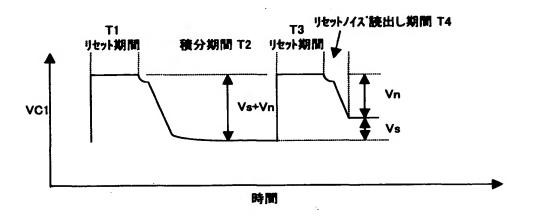
【図1】



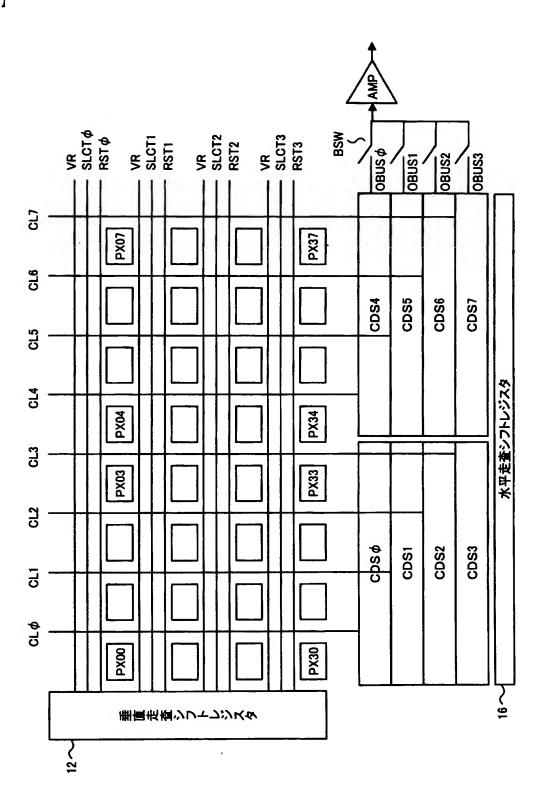
【図2】



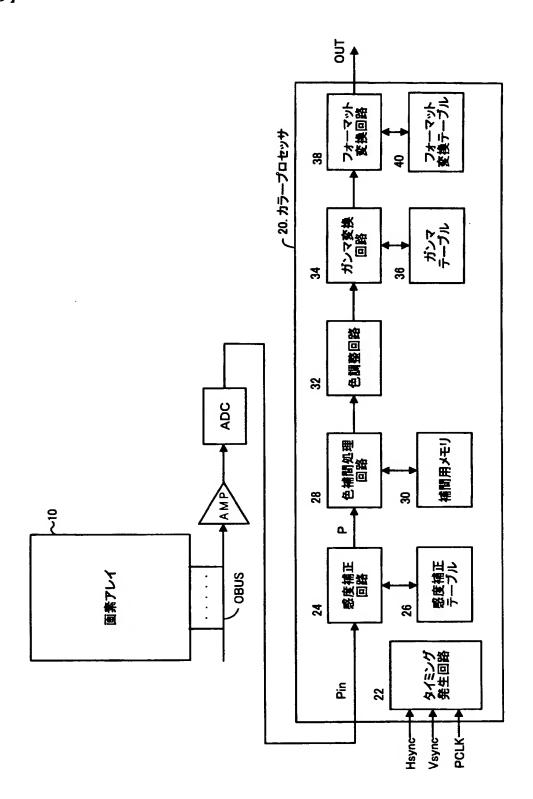
【図3】



【図4】

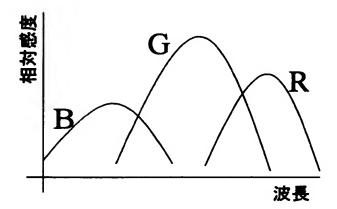


【図5】

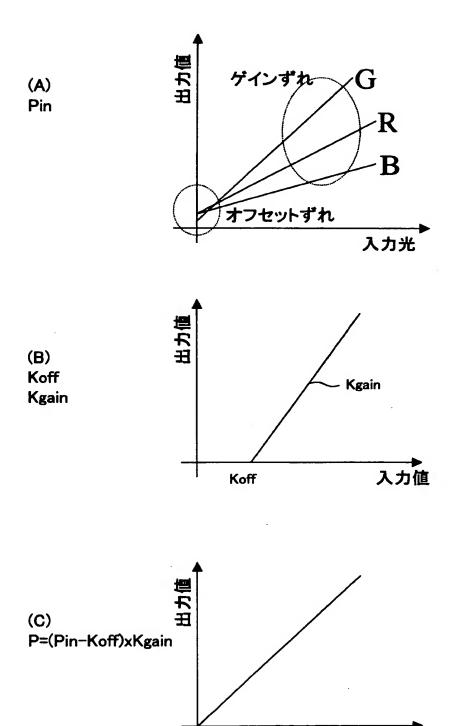


【図6】

【図7】

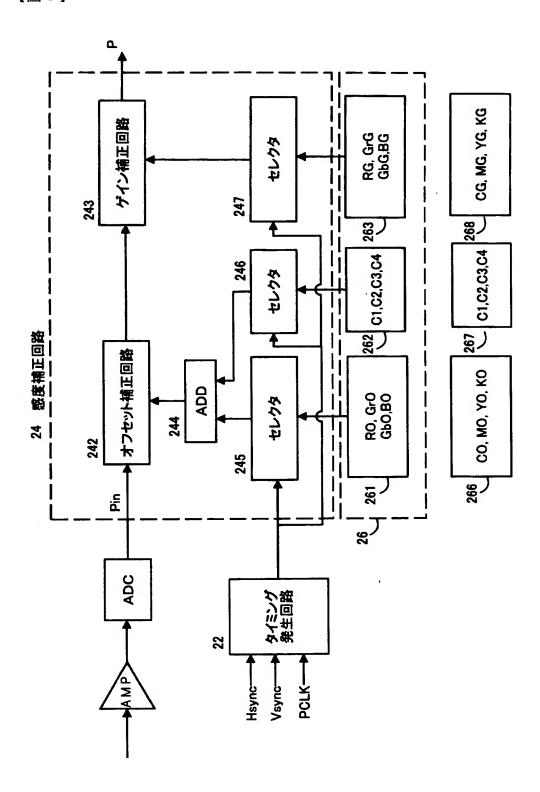


【図8】



入力値

【図9】



【図10】

(A) 画素から出力される画素信号Pin

R11=31 G12=61 R13=33 G14=59 G21=60 B22=13 G23=62 B24=11 R31=31 G32=61 R33=33 G34=59 G41=60 B42=13 G43=62 B44=11

(B) コラム毎のオフセット値 C1=0 C2=1 C3=2 C4=-1 フィルタ色別のオフセット値 RO=1 GO=0 BO=2 色別のゲイン RG=2 GG=1 BG=6

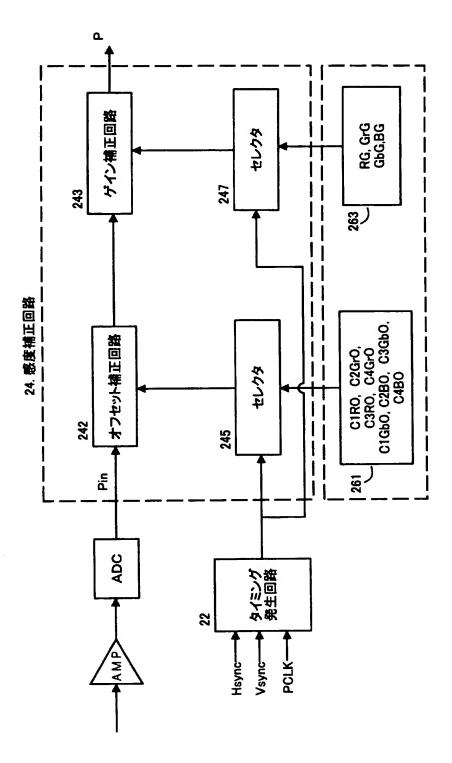
(C) 1行目

```
column 1 R {Pin-(C1+RO) } x RG = R11m column 2 G {Pin-(C2+GO) } x GG = G12m column 3 R {Pin-(C3+RO) } x RG = R13m column 4 G {Pin-(C4+GO) } x GG = G14m 2行目 column 1 G {Pin-(C1+GO) } x GG = G21m column 2 B {Pin-(C2+BO) } x BG = B22m column 3 G {Pin-(C3+GO) } x GG = G23m column 4 B {Pin-(C4+BO) } x BG = B24m
```

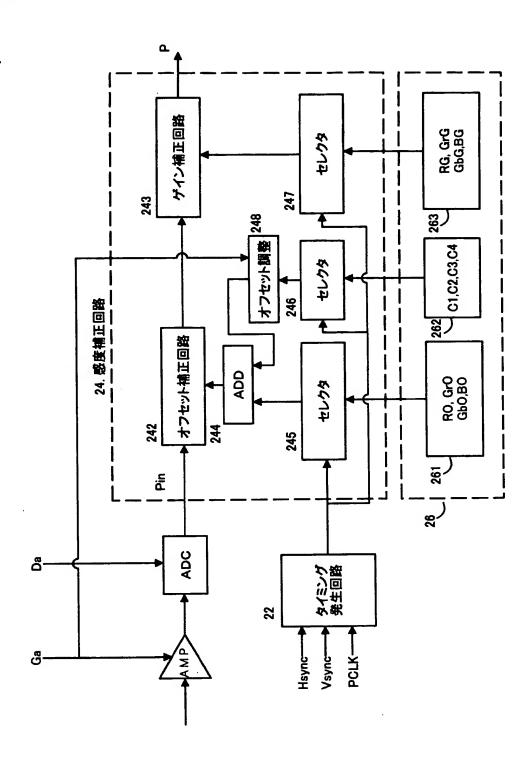
(D) 補正後の画素信号P

```
R11m=60 G12m=60 R13m=60 G14m=60
G21m=60 B22m=60 G23m=60 B24m=60
R31m=60 G32m=60 R33m=60 G34m=60
G41m=60 B42m=60 G43m=60 B44m=60
```

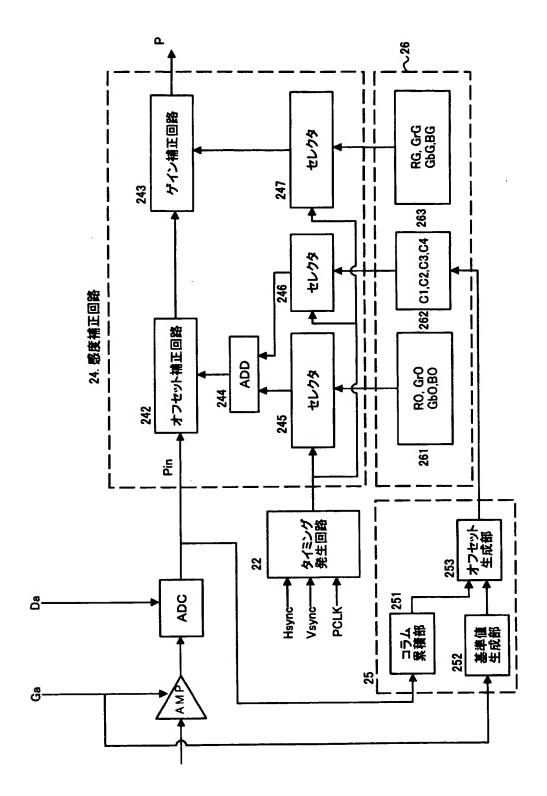
【図11】



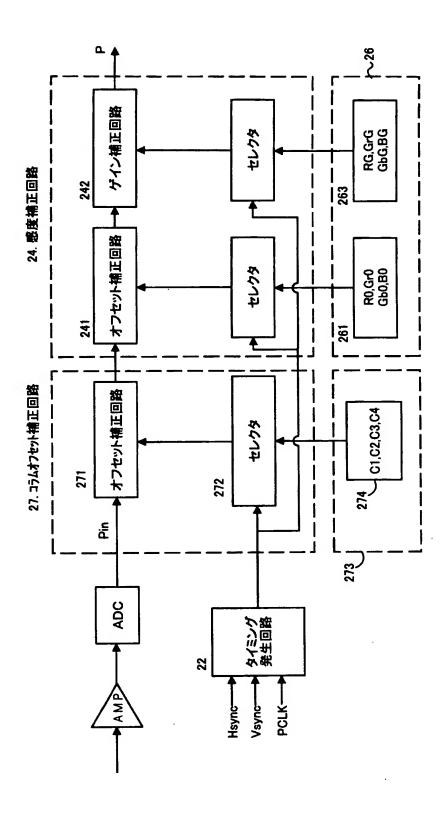
【図12】



【図13】



【図14】



【書類名】

要約書

【要約】

【課題】イメージセンサの出力画像に周期的に現れる縦縞を抑制して、画質を向上させる。

【解決手段】本発明は、光電変換素子を有し行列方向に配置された画素の光電変換信号を各列毎に増幅して出力される画素信号に対して、所定のオフセットを加減算し、所定のゲインを乗算する色感度補正回路を有し、前記所定のオフセットは、各色に応じて設定された第1のオフセットと複数のコラムに応じて設定された第2のオフセットとを含むことを特徴とするカラーイメージセンサ用の画像処理回路である。この画像処理回路によれば、色感度補正回路のオフセットに、各色に応じて設定された第1のオフセットと複数のコラムに応じて設定された第2のオフセットとを含ませることにより、コラム毎のコラム出力回路や出力信号供給回路などに起因する周期的な縦方向の縞模様を抑制することができ、画質を向上させることができる。

【選択図】図9

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社